

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74524

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

6 5 2 P

6 5 2 T

6 5 3 A

審査請求 未請求 請求項の数30 O L (全 22 頁)

(21) 出願番号 特願平10-60190

(22) 出願日 平成10年(1998) 3月11日

(31) 優先権主張番号 特願平9-174873

(32) 優先日 平 9.(1997) 6月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 原 一都

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(72) 発明者 竹内 有一

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(74) 代理人 弁理士 伊藤 洋二 (外1名)

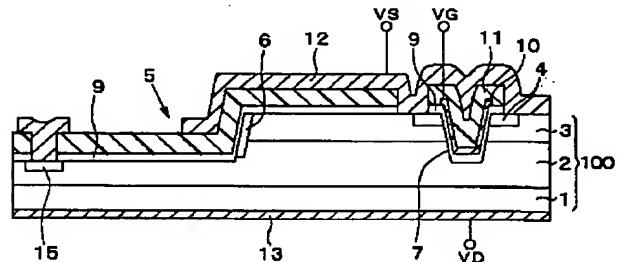
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 電界集中によって生じる絶縁膜（熱酸化膜）の絶縁破壊を防止する。

【解決手段】 n^+ 型炭化珪素半導体基板 1 上に n^- 型炭化珪素半導体層 2 と p 型炭化珪素半導体層 3 を積層形成し、 p 型炭化珪素半導体基板 3 の表面を主表面とする半導体基板 100 に、セル領域を構成する溝 7 と p 型炭化珪素半導体層 3 及び n^- 型炭化珪素半導体層 2 をテーパ形状に成すメサ型構造を構成する溝 5 とを形成し、溝 5 の側面における熱酸化膜 9 と n^- 型炭化珪素半導体層 2 及び p 型炭化珪素半導体層 3 の間に、熱酸化膜 9 における電界集中を緩和する電界緩和層、例えば n^- 型炭化珪素半導体層 2 よりも高抵抗の n^- 型半導体からなる高抵抗層 6 や p 型炭化珪素半導体層を形成する。



- 100: 半導体基板
1: n^+ 型炭化珪素半導体基板
2: n^- 型炭化珪素半導体層
3: p 型炭化珪素半導体基板
5: 溝
6: 高抵抗層
7: 溝
9: 熱酸化膜

【特許請求の範囲】

【請求項 1】 第 1 導電型の低抵抗層（１）と、この低抵抗層上に形成された第 1 導電型で該低抵抗層よりも高抵抗の第 1 の半導体層（２）と、この第 1 の半導体層上に形成された第 2 導電型の第 2 の半導体層（３）とを有し、前記第 2 の半導体層の表面を主表面とする半導体基板（１００）と、

前記第 2 の半導体層内に形成されると共に、前記主表面で接合部が終端するように形成された第 1 導電型の半導体領域（４）と、

前記主表面から前記半導体領域及び前記第 2 の半導体層を貫通する第 1、第 2 の溝（７、５）と、

前記第 2 の溝（５）の側面に形成された電界緩和層

（６、３０、５０）と、

前記電界緩和層の表面及び前記第 1 の溝（７）を含んで前記主表面の上に形成された絶縁膜（９）と、

前記第 1 の溝内における前記絶縁膜の内側に形成されたゲート電極（１０）と、

前記半導体領域に電氣的に接触する第 1 の電極（１２）と、

前記半導体基板の裏面側に電氣的に接触する第 2 の電極（１３）とを備え、

前記電界緩和層によって前記絶縁膜における電界集中を緩和するようになっていることを特徴とする半導体装置。

【請求項 2】 前記電界緩和層は、前記第 2 の溝の側面から該第 2 の溝の底面にかけて形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記電界緩和層は、第 1 導電型材料で形成されており、かつ前記第 1 の半導体層よりも高抵抗で形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記電界緩和層の表面に形成された前記絶縁膜の表面に、前記電界緩和層の電位を制御する電極層（１２）を備え、

前記電極層によって前記電界緩和層を所定のしきい値電圧よりも低い電圧にしていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記電界緩和層は、第 2 導電型材料で形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 6】 前記第 1 の溝と前記第 2 の溝の間に形成され、前記主表面から前記第 2 の半導体層を貫通する第 3 の溝（７０）を備え、

前記第 3 の溝（７０）によって前記第 2 の半導体層を電氣的に分断していることを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の半導体装置。

【請求項 7】 請求項 1 乃至 6 に示す半導体装置において、

前記低抵抗層、前記第 1 の半導体層、前記第 2 の半導体

層及び前記電界緩和層は炭化珪素にて構成されていることを特徴とする炭化珪素半導体装置。

【請求項 8】 請求項 1 乃至 6 に示す半導体装置において、

前記低抵抗層、前記第 1 の半導体層及び前記第 2 の半導体層は炭化珪素にて構成されており、

前記電界緩和層はアルミニウム合金にて構成されていることを特徴とする炭化珪素半導体装置。

【請求項 9】 第 1 導電型の低抵抗層（１）と、この低抵抗層上に形成された第 1 導電型で該低抵抗層よりも高抵抗の第 1 の半導体層（２）と、この第 1 の半導体層上に形成された第 2 導電型の第 2 の半導体層（３）とを有し、前記第 2 の半導体層の表面を主表面とする半導体基板（１００）と、

前記第 2 の半導体層内に形成されると共に、前記主表面に接合部が終端するように形成された第 1 導電型の半導体領域（４）と、

前記主表面から前記半導体領域及び前記第 2 の半導体層を貫通する第 1、第 2 の溝（７、５）と、

少なくとも前記第 1、第 2 の溝の表面に形成された絶縁膜（９）と、

前記第 1 の溝（７）内における前記絶縁膜の内側に形成されたゲート電極（１０）と、

前記第 2 の溝（５）の底面を構成する前記第 1 の半導体層に形成された第 2 導電型の第 2 の半導体領域（８０）と、

前記第 2 の半導体領域及び前記第 1 の半導体領域と電氣的に接触する第 1 の電極（１２）と、

前記半導体基板の裏面側に電氣的に接触する第 2 の電極（１３）とを備えたことを特徴とする半導体装置。

【請求項 10】 第 1 導電型の基板（１）と、前記基板上に形成された第 1 導電型で該基板よりも高抵抗の第 1 の半導体層（２）と、

前記第 1 の半導体層上に形成された第 2 導電型の第 2 の半導体層（３）と、

前記第 2 の半導体層を貫通し、前記第 1 の半導体層に達する溝（５）と、

前記第 2 の半導体層内に形成されると共に、該第 2 の半導体層の表面に接合部が終端するように形成された第 1 導電型の半導体領域（４）と、

前記第 1 の半導体層と前記半導体領域間の前記第 2 半導体層をチャネル領域として、このチャネル領域と前記溝の上に形成された絶縁膜（９）と、

前記チャネル領域上における前記絶縁膜を介して形成されたゲート電極（１０）と、

前記半導体領域に電氣的に接触する第 1 の電極（１２）と、

前記基板の裏面側に電氣的に接触する第 2 の電極（１３）とを備え、

前記溝の側面部分における前記第 1 の半導体層及び前記

第 2 の半導体層と、前記絶縁膜との間に、前記絶縁膜における電界集中を緩和する電界緩和層を形成したことを特徴とする半導体装置。

【請求項 1 1】 第 1 導電型の低抵抗層 (1) と、この低抵抗層上に形成された第 1 導電型で該低抵抗層よりも高抵抗の第 1 の半導体層 (2) と、この第 1 の半導体層上に形成された第 2 導電型の第 2 の半導体層 (3) とを有し、前記第 2 の半導体層の表面を主表面とする半導体基板 (1 0 0) を形成する工程と、

前記第 2 の半導体層内に、接合部が前記主表面で終端する第 1 導電型の半導体領域 (4) を形成する工程と、
前記主表面から前記半導体領域及び前記第 2 の半導体層を貫通するメサ型構造を構成するメサ型構造形成用溝 (5) を形成する工程と、

前記メサ型構造形成用溝の少なくとも側面に電界緩和層 (6、3 0、5 0) を形成する工程と、

前記電界緩和層を形成した後に、前記主表面から前記半導体領域及び前記第 2 の半導体層を貫通するセル部を構成するセル形成用溝 (7) を形成する工程と、

前記メサ型構造形成用溝及び前記セル部形成用溝を含んで前記第 2 の半導体層の表面に絶縁膜 (9) を形成する工程と、

前記セル部形成用溝内における前記絶縁膜の内側にゲート電極 (1 0) を形成する工程と、

前記半導体領域に電氣的に接触する第 1 の電極 (1 1) を形成する工程と、

前記半導体基板の裏面側に電氣的に接触する第 2 の電極 (1 3) を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 1 2】 第 1 導電型の低抵抗層 (1) と、この低抵抗層上に形成された第 1 導電型で該低抵抗層よりも高抵抗の第 1 の半導体層 (2) と、この第 1 の半導体層上に形成された第 2 導電型の第 2 の半導体層 (3) とを有し、前記第 2 の半導体層の表面を主表面とする半導体基板 (1 0 0) を形成する工程と、

前記第 2 の半導体層内に、接合部が前記主表面で終端する第 1 導電型の半導体領域 (4) を形成する工程と、

前記主表面から前記半導体領域及び前記第 2 の半導体層を貫通するメサ型構造を構成するメサ型構造形成用溝 (5) 及びセル部を構成するセル形成用溝 (7) を同時に形成する工程と、

前記メサ型構造形成用溝及び前記セル部形成用溝を含んで前記第 2 の半導体層の表面に絶縁膜 (9) を形成する工程と、

前記セル部形成用溝内における前記絶縁膜の内側にゲート電極 (1 0) を形成する工程と、

前記半導体領域に電氣的に接触する第 1 の電極 (1 1) を形成する工程と、

前記半導体基板の裏面側に電氣的に接触する第 2 の電極 (1 3) を形成する工程とを備えていることを特徴とす

る半導体装置の製造方法。

【請求項 1 3】 第 1 導電型の低抵抗層 (1) と、この低抵抗層上に形成された第 1 導電型で該低抵抗層よりも高抵抗な第 1 の半導体層 (2) と、この第 1 の半導体層の上に形成された第 2 導電型の第 2 の半導体層 (3) とを有し、前記第 2 の半導体層の表面を主表面とする半導体基板 (1 0 0) と、

前記半導体基板の主表面のうち、少なくとも前記第 2 の半導体層の上に絶縁膜 (9) を介して配置された第 1 の電極層 (1 2) と、

前記半導体基板の裏面側に形成された第 2 の電極層 (1 3) と、

前記第 2 の半導体層を貫通して前記第 1 の半導体層に達する溝 (5) と、

前記溝の角部における前記第 1 半導体層の表層部に形成された第 2 導電型の半導体領域 (2 0 1) とを備えていることを特徴とする炭化珪素半導体装置。

【請求項 1 4】 第 1 導電型の低抵抗層 (1) と、この低抵抗層上に形成された第 1 導電型で該低抵抗層よりも高抵抗な第 1 の半導体層 (2) と、この第 1 の半導体層の上に形成された第 2 導電型の第 2 の半導体層 (3) とを有し、前記第 2 の半導体層の表面を主表面とする半導体基板 (1 0 0) と、

前記第 2 の半導体層の所定領域に形成されると共に、前記主表面で接合部が終端するように形成された第 1 導電型の第 1 の半導体領域 (4) と、

前記主表面から前記半導体領域及び前記第 2 の半導体層を貫通する第 1 の溝 (7) と、

前記第 1 の溝から離間して、前記第 1 の溝を囲むように形成され、前記主表面から前記半導体領域及び前記第 2 の半導体層を貫通する第 2 の溝 (5) と、

前記第 2 の溝の角部における前記第 1 半導体層の表層部に形成された第 2 導電型の第 2 の半導体領域 (2 0 1) と、

前記第 1、第 2 の溝 (7、5) を含んで、前記主表面上に形成された絶縁膜 (9) と、

前記第 1 の溝内における前記絶縁膜の内側に形成されたゲート電極層 (1 0) と、

前記半導体領域に電氣的に接触する第 1 の電極 (1 2) と、

前記半導体基板の裏面側に形成された第 2 の電極層 (1 3) とを備えていることを特徴とする炭化珪素半導体装置。

【請求項 1 5】 前記第 2 の溝の側面における前記第 2 の半導体層と前記第 1 の半導体層の表面には、第 1 導電型の半導体からなる電界緩和層 (6) が備えられていることを特徴とする請求項 1 4 に記載の炭化珪素半導体装置。

【請求項 1 6】 前記第 2 の半導体領域は、前記第 2 の溝の側面と底面とが接する部分を含んで形成されている

ことを特徴とする請求項14又は15に記載の炭化珪素半導体装置。

【請求項17】 第1導電型の低抵抗層(1)と、この低抵抗層上に形成された第1導電型で該低抵抗層よりも高抵抗の第1の半導体層(2)と、この第1の半導体層上に形成された第2導電型の第2の半導体層(3)とを有し、前記第2の半導体層の表面を主表面とする半導体基板(100)を形成する工程と、
前記第2の半導体層内に、接合部が前記主表面で終端する第1導電型の第1の半導体領域(4)を形成する工程と、
前記主表面から前記半導体領域及び前記第2の半導体層を貫通するメサ型構造形成用溝(5)を形成する工程と、
前記メサ型構造形成用溝の角部における前記第1の半導体層の表層部に第2導電型の第2の半導体領域(201)を形成する工程と、
前記主表面から前記第1の半導体領域及び前記第2の半導体層を貫通するセル部を構成するセル部形成用溝(7)を形成する工程と、
前記メサ型構造形成用溝及び前記セル部形成用溝を含む前記第2の半導体層の表面に絶縁膜(9)を形成する工程と、
前記セル部形成用溝内における前記絶縁膜の内側にゲート電極(10)を形成する工程と、
前記第1の半導体領域に電氣的に接触する第1の電極(11)を形成する工程と、
前記半導体基板の裏面側に電氣的に接触する第2の電極(13)を形成する工程と、を備えていることを特徴とする半導体装置の製造方法。

【請求項18】 前記メサ型構造形成用溝と前記セル部形成用溝を同一工程で形成することを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】 第1導電型の低抵抗層(301)と、この低抵抗層上に形成された第1導電型で該低抵抗層よりも高抵抗の第1の半導体層(302)と、
前記第1の半導体層の所定領域に形成されたユニットセルと、
前記ユニットセルが形成されたセル領域の周囲に設けられ、前記第1の半導体層(302)の表層部において該セル領域から離れる方向へ延設された素子分離用の第2導電型の素子分離層(307)と、
前記素子分離層上に絶縁膜(309)を介して配置され、該素子分離層よりも前記セル領域の外側に張り出して延設されたフィールドプレート(322)と、
前記ユニットセルと前記素子分離層とに電氣的に接触する第1の電極(312)と、前記半導体基板の裏面側に電氣的に接触する第2の電極(313)とを備えており、

前記フィールドプレートの下部に配置された前記絶縁膜

と前記第1の半導体層との間には、前記第1の半導体層よりも高抵抗の第1導電型の半導体薄膜層(308)が形成されていることを特徴とする炭化珪素半導体装置。

【請求項20】 前記半導体薄膜層は、前記第2の電極と前記第1の電極との間に所定の逆バイアス電圧が印加された場合に、前記素子分離層より前記絶縁膜と該半導体薄膜層の界面に沿って該半導体薄膜層中を外側に延びる空乏層の大きさよりも大きく形成されていることを特徴とする請求項19に記載の炭化珪素半導体装置。

【請求項21】 前記半導体薄膜層は、前記第1の半導体層上に成長させたエピタキシャル膜であることを特徴とする請求項19又は20に記載の炭化珪素半導体装置。

【請求項22】 第1導電型の低抵抗層(301)と、この低抵抗層上に形成された第1導電型で該低抵抗層よりも高抵抗の第1の半導体層(302)と、
前記第1の半導体層の所定領域に形成されたユニットセルと、
前記ユニットセルが形成されたセル領域の周囲に設けられ、前記第1の半導体層の表層部において該セル領域から離れる方向へ延設された素子分離用の第2導電型の素子分離層(307)と、
前記第1の半導体層の表層部のうち前記素子分離層よりも前記セル領域から離れる側に、前記素子分離層から所定間隔おきに複数個配置された、所定幅を有する第2導電型の第2の半導体層(409)と、
前記第2の半導体層のそれぞれの間、及び前記第2の半導体層と前記素子分離層との間における前記第1の半導体層上に形成された前記第1の半導体層よりも高抵抗の第1導電型の半導体薄膜層(408)と、
前記素子分離層上に絶縁膜(309)を介して配置されると共に前記第2の半導体層のうち最も前記セル領域から離れる側と電氣的に接続され、該素子分離層よりも前記セル領域の外側に張り出して延設されたフィールドプレート(322)と、
前記ユニットセルと素子分離層に電氣的に接触する第1の電極(312)と、
前記半導体基板の裏面側に電氣的に接触する第2の電極(313)とを備えていることを特徴とする炭化珪素半導体装置。

【請求項23】 前記フィールドプレートの下部の前記絶縁膜と前記第1の半導体層の間には、該第1の半導体層よりも高抵抗な第1導電型の半導体薄膜層(408)が形成されていることを特徴とする請求項22に記載の炭化珪素半導体装置。

【請求項24】 炭化珪素よりなる第1導電型の半導体基板(301)の主表面上に、該半導体基板よりも低いドーパント濃度を有する第1導電型の第1の半導体層(302)を形成する工程と、

前記第1の半導体層の表層部のうちのセル形成予定領域

に、所定深さを有する複数個の第2導電型の第1のベース領域(303)を形成する工程と、
 前記第1の半導体層の上に、該第1の半導体層よりも低濃度の第1導電型の薄膜層(350)を成膜することにより、前記第1のベース領域に接続される表面チャネル層(304)と、前記セル形成予定領域の周囲に薄膜半導体層(308)を形成する工程と、
 前記第1のベース領域と前記薄膜半導体層との間に素子分離用の第2導電型の素子分離層(307)を形成する工程と、
 前記第1のベース領域の表層部の所定領域に、該第1のベース領域の深さよりも浅い第1導電型のソース領域(305)を形成する工程と、
 前記表面チャネル層及び前記素子分離層の表面に絶縁膜(309)を形成する工程と少なくとも前記表面チャネル層の上の前記絶縁膜上にゲート電極(320)を形成する工程と、
 前記第1のベース領域及び前記ソース領域に接触するソース電極(312)を形成する工程と、
 前記素子分離層上から外側に前記絶縁膜を介して前記ゲート電極又は前記ソース電極に電気的に接続されたフィールドプレート(322)を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。
 【請求項25】 前記第1のベース領域の所定領域及び前記素子分離層の所定領域に、前記第1のベース領域の深さよりも深い第2導電型の第2のベース領域(303a)を形成する工程を備えたことを特徴とする請求項24に記載の炭化珪素半導体装置の製造方法。
 【請求項26】 炭化珪素よりなる第1導電型の半導体基板(301)の主表面上に、該半導体基板よりも低いドーパント濃度を有する第1導電型の第1の半導体層(302)を形成する工程と、
 前記第1の半導体層の表層部の所定領域に、所定深さを有する複数個の第2導電型のベース領域(303)を形成する工程と、
 前記第1の半導体層の上に、該第1の半導体層よりも低濃度の第1導電型の薄膜層(450)を成膜することにより、前記ベース領域に接続される表面チャネル層(304)と、前記セル形成予定領域の周囲に薄膜半導体層(408)を形成する工程と、
 前記ベース領域の所定領域に、該ベース領域よりも接合深さが深い第2導電型の第2のベース領域を形成すると共に、前記ベース領域の周囲に配置される素子分離用の素子分離層(307)及びこの素子分離層の周囲に所定間隔おきに配置された複数の電界緩和用のリング層(409)を形成する工程と、
 前記ベース領域内の表層部の所定領域に、該ベース領域の深さよりも接合深さが浅い第1導電型のソース領域(305)を形成する工程と、
 前記表面チャネル層及び前記素子分離層の表面に絶縁膜

(309)を形成する工程と少なくとも前記表面チャネル層の上における前記絶縁膜上にゲート電極(320)を形成すると共に、前記ベース領域及び前記ソース領域に接触するソース電極(312)を形成する工程と、
 前記リング層のうち最も外周側に位置するものが電気的に接続されており該リング層から前記セル形成予定領域の外側に張り出すように、前記絶縁膜を介してフィールドプレート(410)を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。
 10 【請求項27】 炭化珪素よりなる第1導電型の半導体基板(301)の主表面上に、該半導体基板よりも低いドーパント濃度を有する第1導電型の第1の半導体層(302)を形成する工程と、
 前記第1の半導体層の表層部のうちのセル形成予定領域に、所定深さを有する複数個の第2導電型のベース領域(303)を形成すると共に、該ベース領域の周囲に配置される素子分離用の第2導電型の素子分離層(307)、及び該素子分離層の周囲に所定間隔おきに配置される第2導電型の複数のリング層(409)を形成する工程と、
 20 前記第1の半導体層の上に、該第1の半導体層よりも低濃度の第1導電型の薄膜層を成膜することにより、前記ベース領域に接続される表面チャネル層(304)と、前記セル形成予定領域の周囲に薄膜半導体層(408)を形成する工程と、
 前記ベース領域の表層部の所定領域に、前記表面チャネル層に接続され、前記ベース領域の深さよりも浅い第1導電型のソース領域を形成する工程と、
 前記表面チャネル層及び前記素子分離層の表面に絶縁膜(309)を形成する工程と少なくとも前記表面チャネル層の上における前記絶縁膜の上にゲート電極(320)を形成すると共に、前記ベース領域及び前記ソース領域に接触するソース電極(312)を形成する工程と、
 30 前記リング層のうち最も外周側に位置するものが電気的に接続されており該リング層から前記セル形成予定領域の外側に張り出すように、前記絶縁膜を介してフィールドプレート(410)を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。
 【請求項28】 第1導電型の半導体層を含む半導体基板と、
 40 前記第1導電型の半導体層上に形成された第2導電型の半導体領域及びこの上に形成された第1導電型の半導体領域を有して構成されたセル領域と、
 前記セル領域の周辺に位置する周辺領域とを備える半導体装置であって、
 前記周辺領域には、前記第1導電型の半導体層の表面に接し、前記第1導電型の半導体層よりも高抵抗な第1導電型の半導体電界緩和領域が形成されていることを特徴とする半導体装置。
 50 【請求項29】 前記周辺領域において、第2導電型の

半導体層が前記第 1 導電型の半導体層上に形成されており、前記第 2 導電型の半導体層の表面から前記第 1 導電型の半導体層に達する溝が形成されており、前記半導体電界緩和領域は前記溝側面に形成されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 30】 前記周辺領域において前記第 1 導電型の半導体層上に前記第 1 導電型の半導体電界緩和領域が形成されていることを特徴とする請求項 2 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、絶縁ゲート型電界効果トランジスタ（以下、パワー MOSFET という）等、とりわけ縦型パワー MOSFET に適用して好適である。

【0002】

【従来の技術】半導体装置のチップ外周領域（ユニットセルの外周領域）に適用される構造として、フィールドプレート構造やガードリング構造がある。これらの構造の一例としてフィールドプレート構造を適用した蓄積チャンネル型のプレーナ型 MOSFET を図 27 に示す。

【0003】図 27 に示されるように、プレーナ型 MOSFET 500 が形成されたセル領域の外周部領域には、 n^+ 型半導体基板 501 上に形成された n^- 型半導体層 502 の表層部においてセル領域の外側に向かって延設された p 型層領域 507 が備えられている。この p 型層領域 507 は、 n^- 型半導体層 502 と PN 接合を形成することによってブレークダウンを防止する役割を果たす。

【0004】さらに、外周部領域には、絶縁膜 518 に形成されたコンタクトホールを介して p 型層 507 と接触しており、セル領域の外側に向かって延設された電極 522 が備えられている。この電極 522 がフィールドプレートであり、セル領域の外側に向かって延設された電極 522 が等電位となり空乏層をセル領域の外周に延びるようにすることで耐圧の向上が図れるようになっている。

【0005】また、一般に、半導体装置の耐圧は pn 接合の終端する領域の形状等で決まるため、高耐圧の半導体装置を得るために、この領域における電界を偏りなく弱くするターミネーション技術がある。このターミネーション技術の 1 つとして特開平 4-239778 号公報に示すようなメサ型構造が提案されている。メサ型構造を有する半導体装置として、 n チャンネル型の縦型パワー MOSFET を図 28 に示し、この図に基づきメサ型構造について説明する。

【0006】この縦型パワー MOSFET の半導体基板 120 には、 n^+ 型炭化珪素半導体基板 101 上に n^- 型炭化珪素半導体層 102 と p 型炭化珪素半導体層 103 とを積層形成したものが用いられており、この基板に溝

107 を形成して、酸化膜 109、ゲート電極 110 を形成すると共に、溝 107 の周囲にソース領域 104 を形成してセル領域とする。そして、セル領域の周囲を囲むような溝 105 を形成する。例えば、溝 105 の側面がテーパ形状になるようにする。このようにセル領域の周囲における n^- 型炭化珪素半導体層 102 と p 型炭化珪素半導体層 103 からなる pn 接合を溝 105 の側面で終端させたものがメサ型構造である。

【0007】このようなメサ型構造を採用することによって半導体装置を高耐圧にすることが図られている。なお、図 29 に示すように、メサ型構造は溝 105 の側面がテーパ形状のものでなく、基板表面に対して略垂直となるようにする場合もある。

【0008】

【発明が解決しようとする課題】しかしながら、上記構造には、以下に示す問題があることが判った。まず、図 27 に示したフィールドプレート構造においては、半導体材料として炭化珪素を用いた場合、シリコンを用いた場合に比して、アバランシェブレークダウンが起きる臨界電界強度が 1 桁大きく、 n 型ドレイン層の不純物濃度を 1 桁高く設定できることから、ドレイン層（ n^+ 型半導体層 501）の抵抗値を下げることができ、低オン抵抗化を図ることができるという利点を有している。しかしながら、その反面、そのように不純物濃度を高く設定すると、セル領域の外側への空乏層の伸びが抑えられ絶縁膜 509 の界面で電界集中が生じるため、一旦この界面でアバランシェブレークダウンが発生すると高エネルギーを持ったホットキャリアが絶縁膜 509 に注入され絶縁破壊されてしまうという問題が発生する。この問題はガードリング構造を採用した場合においても同様に発生する。

【0009】一方、図 28 に示したメサ型構造においては、メサ型構造を構成する溝 105 の側面の部分、具体的には n^- 型炭化珪素半導体層 102 及び p 型炭化珪素半導体層 103 の界面と酸化膜 109 との接続部で電界集中が生じ、この電界集中部分における酸化膜 109 が絶縁破壊されるという問題がある。さらに、メサ型構造の場合、特に図 29 に示されるように溝 105 の側面が基板表面に対して略垂直になるようにする場合には、図中の等電位線で示されるように溝 105 の角の部分においても電界集中が発生しやすく、この部分における絶縁膜 109 が絶縁破壊されるという問題もある。

【0010】本発明は上記問題に鑑みため、炭化珪素半導体装置において、電界集中によって発生する絶縁膜の絶縁破壊を防止することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。請求項 1 に記載の発明においては、第 1 導電型の低抵抗層（1）と、この低抵抗層上に形成された第 1 導電型で低抵抗層よりも高抵

抗の第1の半導体層(2)と、この第1の半導体層上に形成された第2導電型の第2の半導体層(3)とを有し、第2の半導体層の表面を主表面とする半導体基板(100)を用いて、セル領域を構成する第1の溝(7)と、メサ型構造を構成する第2の溝(5)とを形成し、第2の溝の側面における絶縁膜(9)と第2の半導体層及び前記第1の半導体層の間に、絶縁膜における電界集中を緩和する電界緩和層(6、30、50)を形成していることを特徴としている。

【0012】このように、セル領域が溝型となっているものにおいても、第2の溝の側面における絶縁膜と第2の半導体層及び前記第1の半導体層の間に電界緩和層(6)を形成することによって、メサ型構造を構成する第2の溝の部分、すなわち第1の半導体層及び第2の半導体層の界面と絶縁膜の接続部における電界集中を緩和することができ、絶縁膜の絶縁破壊を防止することができる。

【0013】また、請求項2に示すように、電界緩和層(50)を第2の溝の側面から底面にかけて形成することによっても同様の効果を得ることができる。さらに、この場合には溝コーナー部の電界集中も緩和でき、この部分の絶縁膜の絶縁破壊を防止することができる。請求項3に記載の発明においては、電界緩和層は、第1導電型材料で形成されており、かつ第1の半導体層よりも高抵抗で形成されていることを特徴としている。

【0014】このように、電界緩和層を第1の半導体層よりも高抵抗な第1導電型材料で形成することにより、この電界緩和層によって空乏層の伸びを大きくし、第1の半導体層及び第2の半導体層の界面と絶縁膜の接続部における電界集中を緩和することができる。また、請求項4に記載の発明においては、電界緩和層の表面に形成された絶縁膜の表面に、電界緩和層の電位を制御する電極層(12)を備え、この電極層によって電界緩和層をしきい値電圧よりも低い電圧にしていることを特徴としている。

【0015】このように、電界緩和層の電圧をしきい値電圧よりも低くすることによって、電界緩和層を常に空乏化させることができるため、第1の半導体層及び第2の半導体層の界面と絶縁膜の接続部で電界集中が発生しないようにすることができる。請求項5に記載の発明においては、電界緩和層は、第2導電型材料で形成されていることを特徴としている。

【0016】このように電界緩和層を第2導電型材料で形成することによって、第1の半導体層における電界が第2の溝の底面方向に逃げるようにし、これにより第1の半導体層及び第2の半導体層の界面と絶縁膜の接続部で電界集中が発生しないようにすることができる。さらに、第2の溝の側面から底面にかけて電界緩和層を形成した場合には、電界緩和層と第1の半導体層によって形成されるpn接合で発生する空乏層によって、第1の半

導体層中でアバランシェブレイクダウンを生じさせて、より効果的に絶縁膜の絶縁破壊を防止することができる。

【0017】請求項6に記載の発明においては、第1の溝と第2の溝の間に形成され、主表面から第2の半導体層を貫通する第3の溝(70)を備え、第3の溝によって第2の半導体層を電氣的に分断していることを特徴としている。このように、第3の溝によって第1の溝と第2の溝間で第2の半導体層を電氣的に分断することによって、セル領域にアバランシェブレイクダウン電流が流れることによってセル領域が損傷することを防ぐことができる。これにより、半導体装置の寿命性を向上させることができる。

【0018】なお、請求項7に示すように、1乃至6に記載の発明は、低抵抗層、第1の半導体層、第2の半導体層及び電界緩和層を炭化珪素にて構成した炭化珪素半導体装置に適用すると好適である。また、請求項8に示すように、請求項1乃至6に記載の発明を低抵抗層、第1の半導体層及び第2の半導体層は炭化珪素で構成し、電界緩和層をアルミニウム合金で構成することもできる。この場合、アルミニウム合金をエピタキシャル成長法以外の方法で形成することができるため、電界緩和層を形成する工程を簡略化できる。

【0019】請求項9に記載の発明においては、第2の溝(5)の底面における第1の半導体層(2)に形成された第2導電型の第2の半導体領域(80)を形成し、第1の半導体領域と電氣的に接触する第1の電極(12)とこの第2の半導体領域を電氣的に接触させるようにしていることを特徴としている。第2の溝の底面における第1の半導体層は、第2の溝が形成されていない部分に比して層が薄い。このため、第2の溝の底面における第1の半導体層に第2導電型の第2の半導体領域を形成することにより、第1の半導体層と第2の半導体領域によって形成されるpn接合は、第1の半導体層と第2の半導体層(3)によって形成されるpn接合よりも低い耐圧になる。

【0020】従って、第1の半導体領域と電氣的に接触する第1の電極とこの第2の半導体領域とを電氣的に接触させれば、第1の半導体層(2)及び第2の半導体層の界面と絶縁膜(9)の接続部で電界集中が生じ、絶縁膜が絶縁破壊されてしまう前に第1の半導体層と第2の半導体領域によって形成されるpn接合でアバランシェブレイクダウンさせることができる。これにより、絶縁膜の絶縁破壊を防止することができる。

【0021】請求項10に記載の発明においては、メサ型構造を構成する溝(5)と、この溝上に形成された絶縁膜(9)とを有しており、溝の側面における第1の半導体層(2)及び第2の半導体層(3)と絶縁膜との間に、この絶縁膜における電界集中を緩和する電界緩和層(6、30、50)を形成していることを特徴とする。

【0022】このように、溝の側面における第1の半導体層及び第2の半導体層と、絶縁膜との間に電界緩和層を形成すれば、メサ型構造を構成する溝の部分、すなわち第1の半導体層及び第2の半導体層の界面と絶縁膜の接続部における電界集中を緩和することができる。このように、溝ゲート型に限らず、メサ型構造を有する他の種類の炭化珪素半導体装置においても電界緩和層を形成することにより、絶縁膜の絶縁破壊を防止することができる。

【0023】請求項11に記載の発明においては、メサ型構造形成用溝(5)を形成したのち、メサ型構造形成用溝の少なくとも側面に電界緩和層(6、30、50)を形成し、その後セル領域形成用溝(7)を形成することを特徴としている。このように、セル領域形成用溝の形成を電界緩和層を形成した後にしているため、セル領域形成用溝の中に電界緩和層が形成されない。このため、セル領域形成用溝内に他の半導体層を形成する等の選択が自由にでき、半導体装置におけるパラメータに変化をつけることができる。

【0024】請求項12に記載の発明においては、メサ型構造形成用溝(5)とセル領域形成用溝(7)とを同時に形成することを特徴としている。このように、メサ型構造形成用溝とセル領域形成用溝とを同時に形成すれば、製造工程を簡略化することができる。請求項13に記載の発明においては、溝(5)の角部における第1半導体層(2)の表層部に第2導電型の半導体領域(201)が形成されていることを特徴としている。

【0025】このように、溝の角部に第2導電型の半導体領域を形成することにより、第1の半導体層(2)及び第2の半導体層(3)によって構成されるPN接合間に高電圧が印加されても、半導体領域の周囲に空乏層を広げることができる。このため、半導体領域によって溝の角部における電界集中を緩和することができ、絶縁膜(9)が絶縁破壊されてしまうのを防止することができる。

【0026】請求項14に記載の発明においては、ユニットセル領域が形成される第1の溝(7)の周囲を囲むように形成された第2の溝(5)を有し、この第2の溝の角部における第1半導体層(2)の表層部に第2導電型の第2の半導体領域(201)が形成されていることを特徴としている。このように、溝ゲート型の炭化珪素半導体装置において溝の角部に第2導電型の第2の半導体領域を形成することにより、第1の半導体領域(4)と第2の電極層(13)との間に高電圧が印加されても請求項13と同様に、絶縁膜(9)が絶縁破壊されてしまうのを防止することができる。

【0027】請求項15に記載の発明においては、第2の溝の側面に第1導電型の半導体からなる電界緩和層(6)が形成されていることを特徴としている。これにより、請求項14と同様の効果が得られると共に、請求

項1と同様の効果も得ることができる。請求項16に記載の発明においては、第2の半導体領域は、第2の溝の側面と底面とが接する部分を含んで形成されていることを特徴としている。

【0028】溝の角部のうち、最も電界集中が起こる場所は第2の溝の側面と底面とが接する部分であるため、この部分を含んで第2の半導体領域を形成するようにすれば、最も効果的に電界集中を緩和することができる。請求項17に示すように、メサ型構造形成用溝(5)の角部における第1の半導体層(2)の表層部に第2導電型の第2の半導体領域(201)を形成することによって、請求項13の効果が得られる炭化珪素半導体装置とすることができる。

【0029】そして、請求項18に示すように、メサ型構造形成用溝とセル領域形成用溝とを同一工程で形成することにより、製造工程を簡略化することができる。請求項19に記載の発明においては、フィールドプレート(322)の下部に配置された絶縁膜(309)と第1の半導体層(302)との間には、第1の半導体層よりも高抵抗の第1導電型の半導体薄膜層(308)が形成されていることを特徴としている。

【0030】このように、フィールドプレート(322)の下部に第1の半導体層よりも高抵抗の半導体薄膜層を形成することにより、第1、第2の電極(312、313)の間に逆バイアス電圧が印加された場合に、素子分離層(307)からセル形成領域の外側への空乏層の伸びを大きくすることができるため、フィールドプレート(322)の下部における絶縁膜と炭化珪素との界面における電界強度を緩和することができる。これにより、絶縁膜の絶縁破壊を防止することができる。

【0031】なお、半導体薄膜層は、請求項21に示すように、第1の半導体層上にエピタキシャル膜を成長させることによって形成することができる。このように、エピタキシャル膜で半導体薄膜層を形成することによって、制御性良く第1の半導体層よりも低濃度の不純物濃度を有するものにすることができる。例えば、第1の半導体層にイオン注入によって半導体薄膜層を形成している場合には、半導体薄膜層の不純物濃度を第1の半導体層よりも低濃度に補償することが困難である。

【0032】請求項22に記載の発明においては、素子分離層(307)から所定間隔おきに複数個配置された、所定幅を有する第2導電型の第2の半導体層(409)のそれぞれの間、及びこの第2の半導体層と素子分離層との間における第1の半導体層(302)上には、第1の半導体層よりも高抵抗の第1導電型の半導体薄膜層(408)が形成されていることを特徴としている。

【0033】このように、第2の半導体層(409)が構成するガードリング構造の間に、半導体薄膜層(408)を形成することにより、第2の半導体層の間における空乏層の伸びを大きくすることができ、この間に形成

された絶縁膜(309)を絶縁破壊から防止することができる。なお、この場合において、請求項23に示すように、フィールドプレート(322)の下部の絶縁膜と第1の半導体層の間に、第1の半導体層よりも高抵抗の第1導電型の半導体薄膜層(408)が形成されていれば、さらに請求項19と同様の効果を得ることができる。

【0034】請求項24に記載の発明においては、第1の半導体層(302)の上に、第1の半導体層よりも低濃度の第1導電型の薄膜層を成膜することにより、第1のベース領域(303)に接続される表面チャネル層(304)と、セル形成予定領域の周囲に配置される薄膜半導体層(308)とを同時に形成することを特徴としている。

【0035】このように、表面チャネル層と薄膜半導体層とを同時に形成することにより、製造工程の簡略化を図ることができる。請求項25に記載の発明においては、第1のベース領域の所定領域及び素子分離層(307)の所定領域に、第1のベース領域よりも接合深さが深い第2導電型の第2のベース領域(303a)を形成

【0036】このように、第1のベース領域よりも接合深さが深い第2のベース領域を形成することにより、この領域における曲率を小さくして電界強度を高くすることができる。このため、第1、第2の電極(312、313)の間に逆バイアス電圧が印加された場合に、第2のベース領域でアバランシェブレークダウンを起こさせることができる。

【0037】なお、この第2のベース領域の形成位置は、マスク位置により任意に決定することができるため、例えばセルとしてFETを形成する場合には、FETの寄生ドランジスタが動作しにくくなる位置に形成することが可能である。このため、このような位置に第2のベース領域を形成することにより、L負荷駆動時における逆起エネルギー耐量を高くすることができる。

【0038】請求項26に記載の発明においては、第1の半導体層(302)の上に、第1の半導体層(302)よりも低濃度の第1導電型の薄膜層を成膜することにより、第1のベース領域に接続される表面チャネル層(304)と、セル形成予定領域の周囲に薄膜半導体層(408)を形成することを特徴としている。このように、ガードリング構造を採用する場合においても、表面チャネル層と薄膜半導体層とを同時に形成することにより、製造工程の簡略化を図ることができる。

【0039】請求項27に記載の発明においては、第1の半導体層(301)の表層部のうちのセル形成予定領域に、所定深さを有する複数個の第2導電型の第1のベース領域(303)を形成すると共に、該第1のベース領域の周囲に配置される素子分離用の第2導電型の素子分離層(307)、及び該素子分離層の周囲に所定間隔

おきに配置される第2導電型の複数のリング層(409)を形成することを特徴としている。

【0040】このように、第1のベース領域、素子分離層及びリング層を同一工程で形成することにより、製造工程の簡略化を図ることができる。請求項28に記載の発明においては、周辺領域には、第1導電型の半導体層の表面に接し、第1導電型の半導体層よりも高抵抗な第1導電型の半導体電界緩和領域が形成されていることを特徴としている。

【0041】このような構成では、半導体装置のセル領域外周の周辺領域において、第1導電型の半導体層よりも高抵抗、すなわち低不純物濃度の第1導電型からなる半導体電界緩和領域が前記第1導電型の半導体層に接して形成されるため、周辺領域において第2導電型の半導体領域と第1導電型の半導体層との間に形成される空乏層の伸びを前記第1導電型の半導体層に比べ大きくすることができる。これによって、半導体装置のセル領域外周に位置する周辺部領域における耐圧を向上させることができる。

【0042】特に、半導体として炭化珪素(SiC)を用いた場合には、材料の特性により第1導電型の半導体層を高濃度にできるため、空乏層の広がりが大きくなり、半導体装置のセル外周部における周辺領域での耐圧の確保が懸念されるが、上述の第1導電型の半導体電界緩和領域により周辺領域における耐圧を確保する1つの手段とすることができる。

【0043】また、請求項29においては、周辺領域において、第2導電型の半導体層が第1導電型の半導体層上に形成されており、第2導電型の半導体層の表面から第1導電型の半導体層に達する溝が形成されており、半導体電界緩和領域は溝側面に形成されていることを特徴としている。このように、溝側面に電界緩和領域を形成することにより、溝側面に現れる第1導電型の半導体層と第2導電型の半導体層との間における電界集中を半導体電界緩和領域にて電界緩和できる。

【0044】一方、請求項30に記載の発明においては、周辺領域において第1導電型の半導体層上に第1導電型の半導体電界緩和領域が形成されていることを特徴としており、第1導電型の半導体層上に形成された半導体電界緩和領域により第1導電型の半導体層にて集中しようとする電界を緩和できる。

【0045】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

(第1実施形態)図1に本発明の一実施形態にかかるnチャネルタイプの縦型パワーMOSFETの断面図を示す。以下、図1に基づいて縦型パワーMOSFETの構造について説明する。

【0046】六方晶の炭化珪素からなる低抵抗半導体層としてのn⁺型炭化珪素半導体基板1に、高抵抗半導体

層としての n^- 型炭化珪素半導体層2と p 型炭化珪素半導体層3が順次積層されており、これら n^+ 型炭化珪素半導体基板1、 n^- 型炭化珪素半導体層2及び第1の p 型炭化珪素半導体層3から単結晶炭化珪素よりなる半導体基板100が構成されている。そして、この半導体基板100の上面を略(0001-)カーボン面としている。

【0047】 p 型炭化珪素半導体層3内の表層部における所定領域には、半導体領域としての n^+ 型ソース領域4が形成されている。また、 n^+ 型ソース領域4の所定領域に溝7が形成されている。この溝7は、 n^+ 型ソース領域4と p 型炭化珪素半導体層3を貫通しており、 n^- 型炭化珪素半導体層2に達している。そして、 p 型炭化珪素半導体層3の所定領域に溝5が形成されており、この溝5は、溝7と同一若しくは深く形成されている。この溝5は、セル領域となる溝7を中心として円形で囲むように形成されており、この溝5によってメサ型構造が構成されている。

【0048】また、溝5の溝側面には、炭化珪素半導体よりなる電界緩和層としての n^- 型の高抵抗層6が形成されている。この高抵抗層6は、 n^- 型炭化珪素半導体層2より高抵抗で、不純物濃度に換算すると1桁程度低濃度に形成している。さらに、溝7、溝5を含む基板上に、ゲート絶縁膜としての熱酸化膜9が形成されている。そして、溝5内のチャンネル形成部には、ポリシリコンからなるベース電極10が形成されており、このゲート電極10を含む半導体基板100上に絶縁膜11が形成されている。

【0049】また、熱酸化膜9上にはソース電極12が形成されており、熱酸化膜9及び絶縁膜10に形成されたコンタクトホールを通じてソース電極12は n^+ 型ソース領域4や p 型炭化珪素半導体層3と電気的に導通している。なお、溝5の底面を成す n^- 型炭化珪素半導体層2の表層部には、セル領域を囲むように高濃度な n^+ 型炭化珪素半導体層15が形成されている。この n^+ 型炭化珪素半導体層15は、熱酸化膜9及び絶縁膜10に形成されたコンタクトホールを介して電気配線16と電気的に導通しており、縦型パワーMOSFETを使用するときには、電気配線16によってセル周囲を同電位に保持して、 p 型炭化珪素半導体層3と n^- 型炭化珪素半導体層2による $p-n$ 接合における空乏層の伸び具合を均一にしている。

【0050】このように、縦型パワーMOSFETは、最外周の溝側面に n^- 型の高抵抗層6を備えた構成となっている。そして、この n^- 型の高抵抗層6が、 n^- 型炭化珪素半導体層2及び p 型炭化珪素半導体層3の界面近傍における熱酸化膜9、すなわちメサ構造をなす部分における熱酸化膜9における絶縁破壊を防止する役割を果たす。

【0051】また、このように構成された縦型パワーM

OSFETにおけるゲート電極10に所定の駆動電圧を印加すると、 n^- 型炭化珪素半導体層2と n^+ 型ソース領域4の間における p 型炭化珪素半導体層3がチャンネル領域となって電流を流す。なお、縦型パワーMOSFETにおけるゲート、ソース、ドレインの各電位をそれぞれVG、VS、VDで表してある。

【0052】図2に図1に示した縦型パワーMOSFETの使用時における n^- 型炭化珪素半導体層2中の電界分布曲線を点線で示す。この図に示すように、 n^- 型炭化珪素半導体層2における電界は、メサ型構造によって平面的に広がった分布を示す。そして、高抵抗層6の近傍で電界が集中している。そして、高抵抗層6を通じて電界分布曲線が終端している。

【0053】このとき、高抵抗層6部分で電界集中しているため、熱酸化膜9にも電界集中が見られるが、仮に高抵抗層6でブレイクダウンした場合においても、そのブレイクダウンは高抵抗層6と p 型炭化珪素半導体層3と n^- 型炭化珪素半導体層2の交わる領域近傍でのアバランシェブレイクダウンとなり、熱酸化膜9と n^- 型炭化珪素半導体層2と p 型炭化珪素半導体層3との界面におけるブレイクダウンではないため、ブレイクダウンによって熱酸化膜9の絶縁破壊が抑制される。このように、熱酸化膜9の絶縁破壊を防止することができるため、縦型パワーMOSFETにおける耐圧を向上させることができる。

【0054】次に、溝ゲート型パワーMOSFETの製造工程を図3～図5に基づいて説明する。

〔図3(a)に示す工程〕まず、主表面が(0001-)カーボン面である低抵抗の n^+ 型炭化珪素半導体基板1を用意し、その表面に n^- 型炭化珪素半導体層2をエピタキシャル成長し、さらに、 n^- 型炭化珪素半導体層2上に p 型炭化珪素半導体層3をエピタキシャル成長する。これにより、 n^+ 型炭化珪素半導体基板1と n^- 型炭化珪素半導体層2と p 型炭化珪素半導体層3からなるダブルエピの半導体基板100が形成される。

【0055】そして、 p 型炭化珪素半導体層3に対してマスク材を用いて、例えば窒素等のイオン注入を行い、 p 型炭化珪素半導体層3の表層部の所定領域に n^+ 型ソース領域4を形成する。

〔図3(b)に示す工程〕ドライエッチングを行い、 p 型炭化珪素半導体層3を貫通して n^- 型炭化珪素半導体層2に達する溝5を形成する。このとき、セル領域となる n^+ 型ソース領域4を中心とした略円形状を成すように、溝5を形成する。

【0056】〔図3(c)に示す工程〕エピタキシャル成長させて、そのエピタキシャル成長層を熱酸化することにより溝5の側面に n^- 型炭化珪素半導体からなる高抵抗層6を形成する。但し、この高抵抗層6は、 n^- 型炭化珪素半導体層2よりも低濃度、すなわち n^- 型炭化珪素半導体層2よりも高抵抗で形成する。このエピタキ

シャル成長及び熱酸化において、 n^- 型炭化珪素半導体層 2 と p 型炭化珪素半導体層 3 が六方晶の結晶構造を有することから、これらのエピタキシャル成長の異方性あるいは酸化の異方性によって n^- 型炭化珪素半導体層 6 は均一に制御よく形成される（特開平 7-326755 号公報、特開平 9-74193 号公報、特願平 8-9625 参照）。

【0057】〔図 4 (a) に示す工程〕 n^+ 型ソース領域 4 の中央部に、 n^+ 型ソース領域 4 及び p 型炭化珪素半導体 3 を貫通する溝 7 を形成する。このとき、溝 7 の深さは、溝 5 と同一深さ若しくは浅くしておく。また、この溝 7 を形成する工程を n^- 型炭化珪素半導体層 6 を形成した工程の後に行っているため、溝 7 の中に炭化珪素半導体層が形成されない。このため、溝 7 内に、半導体層を形成したい場合には、溝 7 内に n^- 型炭化珪素半導体層 6 とは異なる導電型の半導体層や同じ導電型で濃度が異なる半導体層、若しくは厚さの異なる半導体層を別個に形成することができる。これにより、縦型パワー MOSFET におけるパラメータに変化をつけることができる。

【0058】〔図 4 (b) に示す工程〕マスク材を用いて溝 5 が形成された部分における n^- 型炭化珪素半導体層 2 に、例えば窒素をイオン注入して、溝 5 の底部にセル領域を一周する n^+ 型炭化珪素半導体層 8 を形成する。

〔図 4 (c) に示す工程〕熱酸化により溝 5 及び溝 7 を含む半導体基板 100 の表面に熱酸化膜 9 を形成する。このとき、ウェット雰囲気により熱酸化を行う。そして、ダブルエピ基板を 1000℃ まで上昇し、溝側面に例えば 100 nm、溝底面には例えば 500 nm の熱酸化膜 9 を形成する。

【0059】〔図 5 (a) に示す工程〕半導体基板 100 上にポリシリコン層を積層形成し、フォト・エッチングによって溝 7 内の熱酸化膜 9 の表面にゲート電極層 10 を形成する。

〔図 5 (b) に示す工程〕ゲート電極層 10 上面に気相成長法（例えば化学蒸着法）等により絶縁膜 1 を形成する。そして、フォト・エッチングによって所定領域に選択的にコンタクトホールを形成する。

【0060】〔図 5 (c) に示す工程〕絶縁膜 11 上を含むソース領域 4 と p 型炭化珪素半導体層 3 の表面に、例えば Ni からなるソース電極 12 を形成する。そして、 n^+ 型炭化珪素半導体基板 1 の裏側に、例えば Ni からなるドレイン電極 13 を形成すると、図 1 に示す構成を有する縦型パワー MOSFET が完成する。

【0061】（第 2 実施形態）次に本発明を適用した第 2 実施形態について、図 6 に基づき説明する。上述した第 1 実施形態では、溝 5 の側面 5 に n^- 型炭化珪素半導体層 6 を電界緩和層として形成したが、本実施形態では n^- 型炭化珪素半導体層 6 に変えて、 p 型炭化珪素半導

体層 30 を溝 6 の側面に電界緩和層として形成する。

【0062】図 7 に、図 6 における縦型パワー MOSFET を使用したときの電界分布を示す。この図に示すように、 p 型炭化珪素半導体層 30 と n^- 型炭化珪素半導体層 2 における pn 接合によって発生する空乏層によって電界が変化し、電界分布曲線は溝 5 の底面方向に延びたような状態で示される。このように、メサ型構造を構成する溝 5 の側面に、 p 型炭化珪素半導体層 30 を形成することによって、溝 5 の側面の電界集中を防止することができる。これにより、前記電界集中によって発生する熱酸化膜 9 の絶縁破壊を防止することができる。

【0063】なお、上述した第 1 実施形態における n^- 型炭化珪素半導体層 6 を形成する工程の際に、炭化珪素半導体層をエピタキシャル成長させるのに代えて、例えばアルミニウムをイオン注入することによって p 型炭化珪素半導体層 30 を形成することができ、本実施形態における縦型パワー MOSFET を製造することができる。さらに、アルミ合金をデポジションすることによって p 型炭化珪素半導体層 30 と同様の効果を得ることができる金属層を形成することができる。これらの場合、エピタキシャル成長法を用いなくても溝 6 の側面に電界緩和層を形成することができる。

【0064】（第 3 実施形態）次に本発明にかかわる第 3 実施形態について、図 8 に基づき説明する。上述した第 1 実施形態では、溝 5 の側面 5 に n^- 型炭化珪素半導体層 6 を電界緩和層として形成したのみであるが、本実施形態では縦型パワー MOSFET を使用するとき n^- 型炭化珪素半導体層 6 を常に空乏化させるべく、溝 5 の側面のうち、前記熱酸化膜 9 を挟んで n^- 型炭化珪素半導体層 6 の反対側に電極層 40 を設けている。

【0065】この電極層 40 は絶縁膜 11 に形成されたコンタクトホールを介して n^+ 型ソース領域 12 と電気的に導通している。そして、縦型パワー MOSFET を使用するときには、電極層 40 をソース電極 12 と同電位にクランプすることによって n^- 型炭化珪素半導体層 6 内の電子を排除し、これにより n^- 型炭化珪素半導体層 6 を常に空乏化させている。そして、このように n^- 型炭化珪素半導体層 6 を空乏化させることによって、溝 5 の側面における電界集中を防止できるため、溝 5 の側面における熱酸化膜 9 の絶縁破壊を防止することができる。

【0066】これにより、第 1 実施形態に比して熱酸化膜 9 の絶縁破壊をよりいっそう防止することができる。なお、本実施形態においては、電極層 40 とソース電極 12 とを電気的に導通させているが、これは n^- 型炭化珪素半導体層 6 の電圧をしきい電圧よりも低い電圧にするためであり、この条件を満たすようにすればソース電極 12 以外によって電極層 40 の電位を設定しても良い。

【0067】また、この電極層 40 を図 5 (a) に示す

ゲート電極層10を形成する工程において同時に形成しており、さらに図5(c)に示す絶縁膜1にコンタクトホールを形成する際に電極層40とソース電極12とを連通するコンタクトホールを同時に形成することによって、本実施形態における縦型パワーMOSFETを製造することができる。

【0068】(第4実施形態)次に、本発明にかかわる第3実施形態について図9に基づいて説明する。上述した第2実施形態では、溝5の側面にp型炭化珪素半導体層30を形成したが、本実施形態においては、溝5の側面及び底面の略全体に電界緩和層としてp型ドーパントを含む電極層50を形成する。

【0069】図10に、図9における縦型パワーMOSFETを使用したときの電界分布を示す。この図に示すように、電界は、メサ型構造を構成する溝5の側面部ではなく、溝5の底面部で終端していることが分かる。つまり、電極層50を形成することにより溝5の側面での電界集中を溝5の底面側へ移動させ、さらに電極層50とn⁻型炭化珪素半導体層2におけるpn接合で発生する空乏層によって、n⁻型炭化珪素半導体層2中でアバランシェブレイクダウンを生じるようにしている。

【0070】このように、メサ型構造を構成する溝5の側面に加えて、溝5の底面にも全体的に電極層50を形成することによって、溝5の側面及び底面に電界集中が生じないため、電界集中によって発生する熱酸化膜9の絶縁破壊を防止することができると共に、高耐圧で、アバランシェ耐圧の大きな縦型パワーMOSFETにすることができる。

【0071】なお、本実施形態においては、電極層50をp型ドーパントを含む電極層で形成したが、電極層50を炭化珪素層によって形成してもよい。この場合、炭化珪素層からなる電極層50の部分が常に空乏化した状態となっているため、p型ドーパントを含む電極層50の場合と同様の効果を得ることができる。また、電極層50として、Al-Ti等の金属を適用した場合においても、上記と同様の効果を得ることができる。なお、このAl-Ti等の金属を適用した場合には、アルミニウムをイオン注入することによって電界緩和層を形成することができる。このため、炭化珪素層のようにエピタキシャル成長によらないでイオン注入によって電界緩和層を形成することができるため、電界緩和層を形成するための工程を簡略化できる。

【0072】(第5実施形態)次に、本発明にかかわる第5実施形態について図11に基づいて説明する。上述した第1実施形態においては、メサ型構造を構成する溝5の側面とキャリア形成領域とがp型炭化珪素半導体層3によってつながっていたが、本実施形態では、溝5の側面とセル領域の間に溝70を形成することによって溝5の側面とキャリア形成領域とを電氣的に分断(絶縁分離)する。

【0073】すなわち、p型炭化珪素半導体層3とn⁻型炭化珪素半導体層2によって形成されるpn接合のうち、溝70と溝5の間におけるpn接合(以下、側面側pn接合という)と、溝70と溝7との間におけるpn接合(以下、セル側pn接合という)とを電氣的に分断している。この溝70は、溝7と同じ若しくは浅く形成されており、溝70に形成された熱酸化膜9における電界集中が少くなるようにしてある。

【0074】図12に、図11における縦型パワーMOSFETを使用したときの電界分布を示す。溝5の側面側とセル領域側とを電氣的に分断すれば、チャネル領域と装置に耐圧を持たせる領域とを分離できるため、図12に示すような電界分布になる。そして、高電圧がドレイン電極13に印加された時に、アバランシェブレイクダウン電流が側面側pn接合に流れるため、セル側pn接合における素子破壊が発生しにくい。これにより、セル領域にアバランシェブレイクダウン電流が流れることによってセル領域が損傷することを防ぐことができるため、縦型パワーMOSFETの寿命性を向上させることができる。

【0075】(第6実施形態)次に、本発明を適用した第6実施形態について図13に基づいて説明する。上述した第1実施形態においては、メサ型構造を構成する溝5の側面にn⁻型炭化珪素半導体層6を形成し、これにより溝5の側面における電界集中を防止して熱酸化膜9の絶縁破壊を防止しているが、本実施形態においては、溝5の底に位置するn⁻型炭化珪素半導体層2の表層部にp型炭化珪素半導体層80を形成して、熱酸化膜9が絶縁破壊を起こす前にp型炭化珪素半導体層80でブレイクダウンさせることによって熱酸化膜9の絶縁破壊を防止する。

【0076】具体的に説明すると、本実施形態における縦型パワーMOSFETは、上記したp型炭化珪素半導体層80を備えている。そして、n⁺型ソース領域12を溝5の内部まで延設し、絶縁膜11及び熱酸化膜9に形成されたコンタクトホールを介してn⁺型ソース領域12とp型炭化珪素半導体層80とを電氣的に導通させている。すなわち、p型炭化珪素半導体層80とn⁺型ソース領域12とを同電位にしている。

【0077】n⁻型炭化珪素半導体層2の厚さにおいて、溝5が形成されている部分の厚さL1と、溝5が形成されていない部分の厚さL2とでは厚さL2の方が厚い。これは、n⁻型炭化珪素半導体層2における耐圧が厚さL1の部分よりも厚さL2の部分の方が大きいことを示している。従って、p型炭化珪素半導体層80とn⁻型炭化珪素半導体層2によるpn接合(以下、補助接合という)と、p型炭化珪素半導体層3とn⁻型炭化珪素半導体層2によるpn接合(以下、主接合という)を比較すると、補助接合の方が主接合よりも低い電圧でアバランシェブレイクダウンする。

【0078】このように、セル領域と分離された外側の領域でブレイクダウンするため、メサ形構造を構成する溝5の側面における熱酸化膜9の絶縁破壊を防止することができる。また、アバランシェブレイクダウンを生じた部分は、熱酸化膜9の絶縁破壊と異なり、半導体におけるブレイクダウンであるため、ブレイクダウン後においても縦型パワーMOSFETが故障するわけではない。このため、永久故障の生じにくい縦型パワーMOSFETにすることができる。

【0079】(第7実施形態)次に、本発明を適用した第7実施形態について図14に基づいて説明する。本実施形態では、セル領域の周縁に形成された溝5の角部における熱酸化膜309の絶縁破壊を防止できる構造について説明する。図14に示すように、溝ゲート型の縦型パワーMOSFETに形成された溝5の底面のうち最もセル領域に近い側(溝の角部側)には、p型層領域201が形成されている。このp型層領域201は、ガードリングとして機能するため、図14の等電位線(点線部)に示されるように、空乏層をp型層領域201の周囲まで拡げることができる。

【0080】具体的に、図14のA-A断面部での電界強度分布と、図28のB-B断面部での電界強度を調べたところ、それぞれ図15(a)、(b)に示される結果が得られた。これらの図からも明らかなように、溝5の角部における電界強度分布は、p型層領域201を形成した場合の方が形成していない従来のものよりも最大電界強度が下がっており、電界集中が緩和されていることが判る。

【0081】このため、溝5の角部の電界集中が緩和され、この部分における熱酸化膜9が絶縁破壊されないようにできる。これにより、半導体装置の耐圧向上を図ることができる。なお、本実施形態では溝5の角部の底面部分にのみp型層領域201を形成しているが、角部を全体的に覆うように形成すればより電界集中を緩和することができる。

【0082】また、本実施形態では、溝5の角部に電界集中が特に発生し易くなる溝5の側面が基板表面に略垂直な場合を示しているが、溝5の側面がテーパ形状を成すような場合にも適用できる。次に、図14に示す縦型パワーMOSFETの製造方法について、図16(a)～(c)に示す製造工程図に基づいて説明する。なお、第1実施形態に示す縦型パワーMOSFETの製造方法と異なる部分についてのみ説明し、共通する部分については省略する。なお、本図では溝5の角部に電界集中が発生し易い溝5の側面が基板表面に対して略垂直の場合を示して説明する。

【0083】まず、図3(a)に示す工程を経たのち、図16(a)に示すように、ドライエッチングを行い、p型炭化珪素半導体層3を貫通してn⁺型ソース領域2に達する溝5を形成する。次に、図16(b)に示すよ

うに、フォトリソ工程を経て、溝5の角部以外の領域をマスク材200で覆ったのち、p型不純物をイオン注入してp型層領域を形成する。

【0084】その後、図16(c)に示すように、エピタキシャル成長させて、そのエピタキシャル成長層を酸化することにより溝5の側面にn⁻型炭化珪素半導体からなる高抵抗層6を形成する。この後、図4～図5に示す工程を経て本実施形態における縦型パワーMOSFETが完成する。

(第8実施形態)次に、本発明を適用した第8実施形態について説明する。本実施形態では、セル領域の外周部領域にフィールドプレート構造を採用したときにおいて耐圧が向上できるようになっている。図17に、本実施形態における炭化珪素半導体装置を示す。

【0085】図17に示すように、本実施形態ではセル領域にプレーナ型のMOSFETを形成している。プレーナ型MOSFETの全体的な構成は、図1に示した溝ゲート型のMOSFETと比較すると、溝を形成せずにチャネル形成用の薄膜層304を形成している点で相違しているが、その他の点についてはほぼ同様であるため、相違点についてのみ具体的に説明し、同様の部分については省略する。

【0086】プレーナ型MOSFETは、n⁺型炭化珪素半導体基板301とn⁻型炭化珪素半導体層302とを基板とし、n⁻型炭化珪素半導体層302の表層部に形成された複数のp型炭化珪素半導体層(以下、p型ベース領域という)303と、基板表面に平行な表面チャネル層304とを備えている。そして、ゲート電極306に正電圧が印加されると、表面チャネル層304にチャネルが形成され、トランジスタ動作が行われるようになっている。なお、312はソース電極であり、313はドレイン電極である。また、320は、ゲート電極層306と電気的に接続されたゲート電極である。

【0087】セル領域の外周部領域には、ブレイクダウン防止用のp型領域307と、フィールドプレートを成す電極322とが備えられている。p型領域307はn⁻型エピタキシャル層302の表層部に形成されており、絶縁膜309に形成されたコンタクトホールを介して電極322と接触している。電極322は、セル領域の外側に向かって延設されている。この電極322が等電位となるため、空乏層がセル領域の外周に延び、耐圧の向上が図れるようになっている。

【0088】さらに、フィールドプレートを成す電極322の下部において、n⁻型エピタキシャル層302の上部には、n⁻型エピタキシャル層302よりも不純物濃度が低いn⁺⁺型薄膜層(薄膜半導体層)308が備えられている。具体的には、n⁻型エピタキシャル層302の不純物濃度は $2 \times 10^{16} \text{ cm}^{-3}$ であり、n⁺⁺型薄膜層308は不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 、膜厚が0.3 μm で構成されている。また、n⁺⁺型薄膜層308の

セル領域から離れる方向への幅は、ドレイン電極313とソース電極312の間に逆バイアスが印加されたときにおいても空乏層が n^{++} 型薄膜層308内で終端する程度になっている。

【0089】なお、 n^{++} 型薄膜層308は、基本的に半導体装置周辺にて半導体装置全体に渡りセル領域を囲むように形成される。このように構成されたプレーナ型MOSFETに逆バイアスが印加された場合において示される等電位線を図17中に点線で表す。このように、 n^{++} 型薄膜層308が形成されており、 n^{++} 型薄膜層308が n^{+} 型エピタキシャル層2よりも低濃度となっているため、上記逆バイアスが印加された場合における空乏層の横方向への伸びを大きくすることができる。

【0090】参考として、 n^{++} 型薄膜層308を形成した場合と形成していない場合において、フィールドプレート下部の深さ方向における最大電界強度を測定した結果をそれぞれ図18(a)、(b)に示す。図18に示される距離が零(Distance=0)のとき、つまり熱酸化膜309の界面における最大電界強度を比較してみると、図18(a)では 1.05 MV/cm であり、図18(b)では 1.25 mV/cm であることから、 n^{++} 型薄膜層308を形成することにより最大電界強度が約20%低減できていることが判る。

【0091】このように、熱酸化膜309の界面における電界強度を低減することができ、熱酸化膜309が絶縁破壊されることを防止することができる。また、p型ベース領域303は、部分的に接合深さが深くなって形成されている。この接合深さが深くなった領域(第2のベース領域)303aを形成することにより、p型ベース領域303の底部の曲率を小さくすることができ、電界強度を高くすることができる。このため、この領域303aでアバランシェブレイクダウンを発生させ易くことができ、プレーナ型MOSFETのp型ベース領域303の領域303aで耐圧を決定させることができる。なお、この領域303aの形成位置は、任意に設定することができるため、プレーナ型MOSFETが形成する寄生トランジスタを動作させにくい位置に形成することが可能である。このようにすると、L負荷駆動時における逆起エネルギー耐量を高くすることができる。

【0092】なお、図17、図20、図21に示された n^{++} 型薄膜層308に接続している n^{+} 型領域311及び電極323は等電位リング(EQR)と呼ばれるものであり、半導体装置周辺における半導体装置の電位が半導体装置全体に渡り等しくなるようにするものである。基本的に、これらは半導体装置周辺において、セル領域を囲むように形成されており、電位はフローティング電位となっている。また、本実施形態では、 n^{+} 型領域311が n^{++} 型薄膜層308に接続しているが分離していてもよい。

【0093】次に、図17に示されるプレーナ型MOS

FETの製造方法について図19～図20に基づいて説明する。

【図19(a)に示す工程】低抵抗の n^{+} 型炭化珪素半導体基板301を用意し、この n^{+} 型炭化珪素半導体基板301上に高抵抗の n^{+} 型炭化珪素半導体層302をエピタキシャル成長させる。

【0094】【図19(b)に示す工程】 n^{+} 型炭化珪素半導体層302の表層部のうち、セル形成予定領域にイオン注入を行いp型ベース層303を形成する。

【図19(c)に示す工程】p型ベース層303上を含む n^{+} 型炭化珪素半導体層302上にエピタキシャル成長法によって不純物濃度が n^{+} 型炭化珪素半導体層302よりも低い n^{++} 型薄膜層350を形成する。この n^{++} 型薄膜層350がチャネル形成用の表面チャネル層304を構成すると共に、上記したように熱酸化膜309の界面における電界強度を低減する役割を果たす n^{++} 型薄膜層308を構成する。

【0095】このように、チャネル形成用の表面チャネル層304を形成する工程と、 n^{++} 型薄膜層308を形成する工程とを兼用することにより、従来に比して別途工程を増加させることなく n^{++} 型薄膜層308を形成することができる。

【図20(a)に示す工程】 n 型不純物をイオン注入し、p型ベース層303上の所定領域に n^{+} 型ソース領域305と、外周部領域の所定領域にコンタクト用の n^{+} 型層311を形成する。

【0096】【図20(b)に示す工程】p型不純物をイオン注入し、ユニットセル領域では、p型ベース層303とのコンタクトが取れるように、p型ベース層303上における n^{++} 型薄膜層304のうち、チャネル形成部分以外(図中では n^{+} 型ソース層305の間)をp型に反転させ、外周部領域では、ブレイクダウン防止用のp型領域307を形成する。

【0097】このとき、p型不純物がp型ベース領域303よりも深く注入されるように、イオン注入を行う。このため、p型ベース領域303は部分的に深く形成された領域303aを有して構成される。これにより、p型ベース領域303のうち、深く形成された部分でアバランシェブレイクダウンを起こし易くできる。この領域303aの形成位置は、イオン注入のマスク位置を変更することにより任意に変更することができる。

【0098】なお、ここでは領域303aを形成しているが、この領域303aを形成することは任意であり、形成しなくてもよい。このような場合には、p型領域307をp型ベース領域303と同時に形成すれば、p型領域307を形成する工程を簡略化できるため、製造工程の簡略化を図ることも可能である。また、p型領域307をp型ベース領域303と同時に形成しておき、p型領域307のうち必要な位置のみを領域303aと同時に形成して、その部分の接合深さを深くすることも可

能である。

【0099】〔図20(c)に示す工程〕フォトリソグラフィ工程を経て、p型領域307上に所定膜厚の酸化膜(SiO_2)360を形成する。

〔図21(a)に示す工程〕熱酸化化によってウェハ全面に熱酸化膜309を形成する。この熱酸化膜309がゲート酸化膜を構成する。そして、ポリシリコン等を堆積したのち、パターニングしてゲート電極306を形成する。

【0100】〔図21(b)に示す工程〕熱酸化膜309上を含むウェハ上に層間絶縁膜318を形成する。この後、層間絶縁膜318にコンタクトホールを形成したのち、アルミ配線をパターニングし、ゲート電極320、ソース電極312及びフィールドプレートとなる電極322を形成する。そして、ゲート電極320、ソース電極312及び電極322上にパッシベーション膜370を形成し、さらにウェハの裏面にドレイン電極313を形成して、図17に示すプレーナ型MOSFETが完成する。

【0101】(第9実施形態)次に、本発明を適用した第9実施形態について説明する。本実施形態では、セル領域の外周部領域にガードリング構造を採用したときにおいて、耐圧が向上できるようになっている。図22に、本実施形態における炭化珪素半導体装置を示す。

【0102】図22に示すように、本実施形態ではプレーナ型のMOSFETをセル領域としている。プレーナ型MOSFETの全体的な構成は、図17と同様であるため、同様の構成については図17と同じ符号を付して説明を省略する。セル領域の外周部領域には、セル領域を囲むように、ブレイクダウン防止用のp型領域307と、ガードリングを構成する所定幅のp型領域409とが備えられている。p型領域307及びp型領域409は、n⁻型炭化珪素半導体層302の表層部に形成されている。p型領域409は、複数個形成されておりp型領域307からユニットセル領域の外側に向かって所定間隔おきに配置されている。

【0103】そして、p型領域409のうち、最もセル領域から離れた位置にあるものは、フィールドプレートを構成する電極410に電氣的に接続されている。さらに、ガードリングを構成する複数のp型領域409のそれぞれの間、p型領域407とp型領域409との間、及びp型領域409のうち最外周に位置するものからさらにセル領域の外側(セル領域から離れる側)において、n⁻型炭化珪素半導体層302の上部には、n⁻型エピタキシャル層302よりも不純物濃度が低いn⁻型薄膜層408が備えられている。具体的には、n⁻型薄膜層408は不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 、膜厚が $0.3 \mu\text{m}$ で構成されている。

【0104】このように構成されたプレーナ型MOSFETのドレインに高電圧が印加された場合に示される等

電位線を図22中に点線で表す。このように、n⁻型薄膜層408が形成されており、n⁻型薄膜層408がn⁻型炭化珪素半導体層302よりも低濃度となっているため、空乏層の横方向への伸びを大きくすることができる。

【0105】このように、酸化膜の界面における電界強度を低減することができ、熱酸化膜309が絶縁破壊されることを防止することができる。次に、図22に示されるプレーナ型MOSFETの製造方法について図23～図25に基づいて説明する。

〔図23(a)に示す工程〕低抵抗のn⁺型炭化珪素半導体基板301を用意し、このn⁺型炭化珪素半導体基板301上に高抵抗のn⁻型炭化珪素半導体層302をエピタキシャル成長させる。

【0106】〔図23(b)に示す工程〕n⁻型炭化珪素半導体層302の表層部のうち、ユニットセル形成予定領域にp型ベース層303を形成する。

〔図23(c)に示す工程〕p型ベース層303上を含むn⁻型炭化珪素半導体層302上にエピタキシャル成長法によってn⁻型薄膜層450を形成する。このn⁻型薄膜層450がチャネル形成用の表面チャネル層304を構成すると共に、上記したように熱酸化膜309の界面における電界強度を低減する役割を果たすn⁻型薄膜層408を構成する。

【0107】〔図24(a)に示す工程〕n型不純物をイオン注入し、p型ベース層303上の所定領域にn⁺型ソース領域305と、外周部領域の所定領域にコンタクト用のn⁺型層311を形成する。

〔図24(b)に示す工程〕p型不純物をイオン注入し、ユニットセル領域では、p型ベース層303とのコンタクトが取れるように、p型ベース層303上におけるn⁻型薄膜層304のうち、チャネル形成する部分以外(図中ではn⁺型ソース層305の間)をp型に反転させ、外周部領域では、ブレイクダウン防止用のp型領域307を形成すると共にこのp型領域307からユニットセル領域の外側に向けてガードリングとなるp型領域409を複数個形成する。

【0108】なお、このとき、p型不純物がp型ベース層305よりも深く注入されるようにイオン注入することで、p型ベース領域305を部分的に深く形成でき、素子の耐圧を向上させることができる。

〔図24(c)に示す工程〕フォトリソグラフィ工程を経て、p型領域307上に所定膜厚の酸化膜(SiO_2)360を形成する。

〔図25(a)に示す工程〕熱酸化化によってウェハ全面に熱酸化膜309を形成する。この熱酸化膜309がゲート酸化膜を構成する。そして、ポリシリコン等を堆積したのち、パターニングしてゲート電極を形成する。

【0109】〔図25(b)に示す工程〕ゲート絶縁膜上を含むウェハ上に層間絶縁膜318を形成する。この

後、層間絶縁膜318にコンタクトホールを形成したのち、アルミ配線をパターニングし、ゲート電極320、ソース電極312、及びフィールドプレートを構成する電極22を形成する。そして、ゲート電極320、ソース電極312、及び電極410上にパッシベーション膜370を形成し、さらに n^+ 型炭化珪素半導体基板301の裏面にドレイン電極313を形成して、図22に示すプレーナ型MOSFETが完成する。

【0110】(他の実施形態)この他、例えば、 n^+ 型ソース領域4と p 型炭化珪素半導体層3に形成されるソース電極12、及び n^+ 型炭化珪素半導体基板1の裏側表面に形成されるドレイン電極13は Ni 以外の電極でもよい。また、上述した実施形態では n チャネル縦型MOSFETに本発明を適用した場合について説明したが、 p チャネル縦型MOSFETに本発明を適用してもよく、さらには縦型、横型に関わらず基板に溝7を掘らないようなMOSFETに本発明を適用してもよい。

【0111】さらに、溝7、溝5は基板表面に対して垂直でも V 溝型、 U 溝型でもよい。また、溝側面は平面出なくても良く、滑らかな曲面でもよい。そして、上記第1～第7実施形態においては、基板に炭化珪素を用いた縦型パワーMOSFETに本発明を適用したものを説明したが、基板にシリコン基板を用いる半導体装置に本発明を適用することもできる。

【0112】また、第1実施形態では、メサ型形状の溝5とセル領域に形成するチャネル領域となる溝7を別工程で形成したが、特開平9-74193号公報に示されるように溝7の側面にチャネル領域となる高抵抗半導体層を形成する場合には、その高抵抗半導体層と高抵抗層6とを同時に形成できるため、溝5を形成するための特別な工程を必要としない。図面を用いて説明すると、図3(a)に示されるように半導体基板100を用意し、図14(a)に示すように溝5と溝7を形成する。その後、図4(c)以降に示される工程と同様の工程によって図14(b)に示す半導体装置を形成する。このようにして、溝5と溝7を同時に形成した半導体装置を完成させることができる。

【0113】なお、第6実施形態のように、溝5の角部に p 型層領域を201を形成する場合においても溝7の側面にチャネル領域となる高抵抗半導体層を形成することができ、この場合においてもチャネル領域となる高抵抗半導体層と高抵抗層6とを同時に形成することができる。第8、第9実施形態では、 p 型領域307、407、409を形成する前に n^+ 型薄膜層304、404を形成しているが、後で形成してもよい。

【図面の簡単な説明】

【図1】本発明にかかわる第1実施形態における縦型パワーMOSFETの断面図である。

【図2】図1に示す縦型パワーMOSFETの電界分布を示す図である。

【図3】図1に示す縦型パワーMOSFETの製造工程を示す図である。

【図4】図3に続く製造工程を示す図である。

【図5】図4に続く製造工程を示す図である。

【図6】本発明にかかわる第2実施形態における縦型パワーMOSFETの断面図である。

【図7】図6に示す縦型パワーMOSFETの電界分布を示す図である。

【図8】本発明にかかわる第3実施形態における縦型パワーMOSFETの断面図である。

【図9】本発明にかかわる第4実施形態における縦型パワーMOSFETの断面図である。

【図10】図9に示す縦型パワーMOSFETの電界分布を示す図である。

【図11】本発明にかかわる第5実施形態における縦型パワーMOSFETの断面図である。

【図12】図11に示す縦型パワーMOSFETの電界分布を示す図である。

【図13】本発明にかかわる第6実施形態における縦型パワーMOSFETの断面図である。

【図14】本発明にかかわる第6実施形態における縦型パワーMOSFETの断面図である。

【図15】図14に示す縦型パワーMOSFETと、従来の縦型パワーMOSFETの電界分布を比較した図である。

【図16】図16に示す縦型パワーMOSFETの製造工程を示す図である。

【図17】本発明にかかわる第7実施形態における縦型パワーMOSFETの断面図である。

【図18】図14に示す縦型パワーMOSFETと、従来の縦型パワーMOSFETの電界分布を比較した図である。

【図19】図17に示す縦型パワーMOSFETの製造工程を示す図である。

【図20】図19に続く縦型パワーMOSFETの製造工程を示す図である。

【図21】図20に続く縦型パワーMOSFETの製造工程を示す図である。

【図22】本発明にかかわる第8実施形態における縦型パワーMOSFETの断面図である。

【図23】図22に示す縦型パワーMOSFETの製造工程を示す図である。

【図24】図23に続く縦型パワーMOSFETの製造工程を示す図である。

【図25】図24に続く縦型パワーMOSFETの製造工程を示す図である。

【図26】他の実施形態における縦型パワーMOSFETの製造工程を示す図である。

【図27】従来におけるメサ型構造を有する縦型パワーMOSFETの電界分布を示す図である。

31

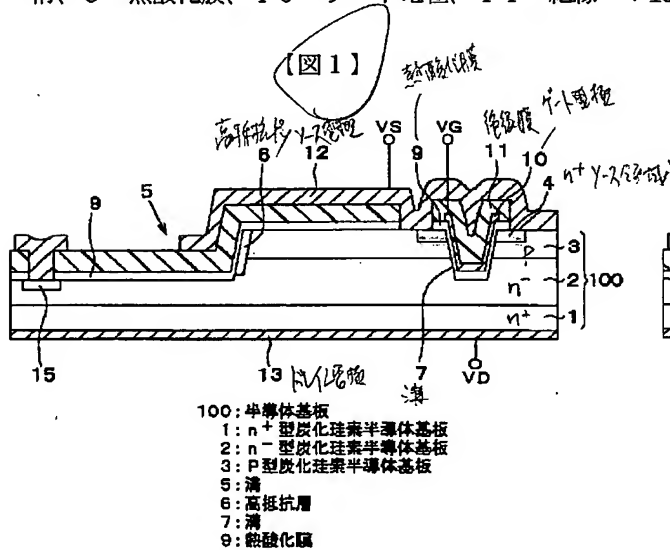
【図28】従来におけるメサ型構造を有する縦型パワーMOSFETの電界分布を示す図である。

【図29】従来におけるフィールドプレート構造を採用した縦型パワーMOSFETの電界分布を示す図である。

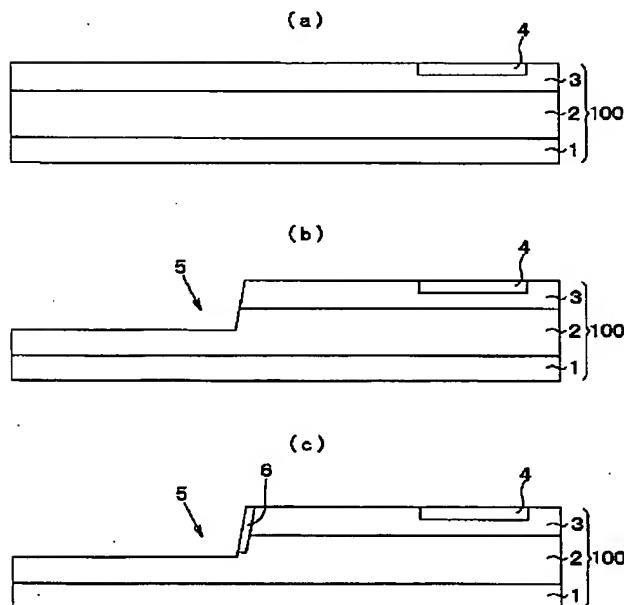
【符号の説明】

1… n^+ 型炭化珪素半導体基板、2… n^- 型炭化珪素半導体層、3… p 型炭化珪素半導体層、4… n^+ 型ソース領域、5…メサ型構造を構成する溝、6…高抵抗層、7…溝、9…熱酸化膜、10…ゲート電極、11…絶縁

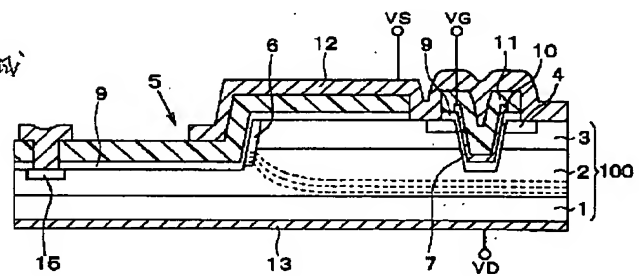
*膜、12…ソース電極、13…ドレイン電極、30… p 型炭化珪素半導体層、40…電極層、50…電極層、70…溝、80… p 型炭化珪素半導体層、201… p 型領域、301… n^+ 型炭化珪素半導体基板、302… n^- 型炭化珪素半導体層、303… p 型ベース領域、304…表面チャネル層、305… n^+ 型ソース領域、306…ゲート電極層、307… p 型領域、308… n^- 型薄膜層、309…熱酸化膜、312…ソース電極、313…ドレイン電極、320…ゲート電極、322…電極、408… n^- 型薄膜層、409… p 型領域。



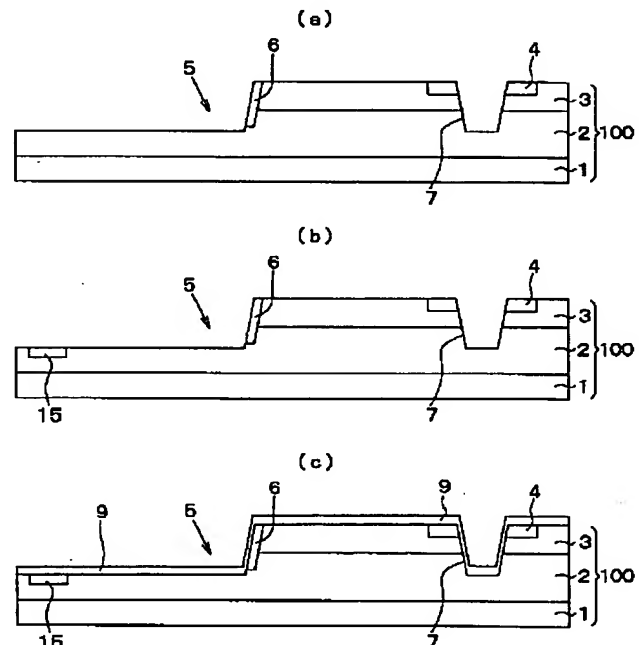
【図3】



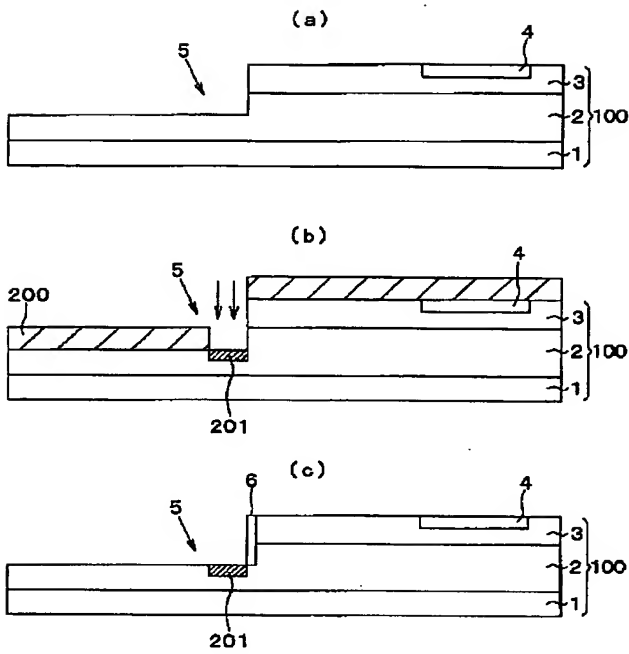
【図2】



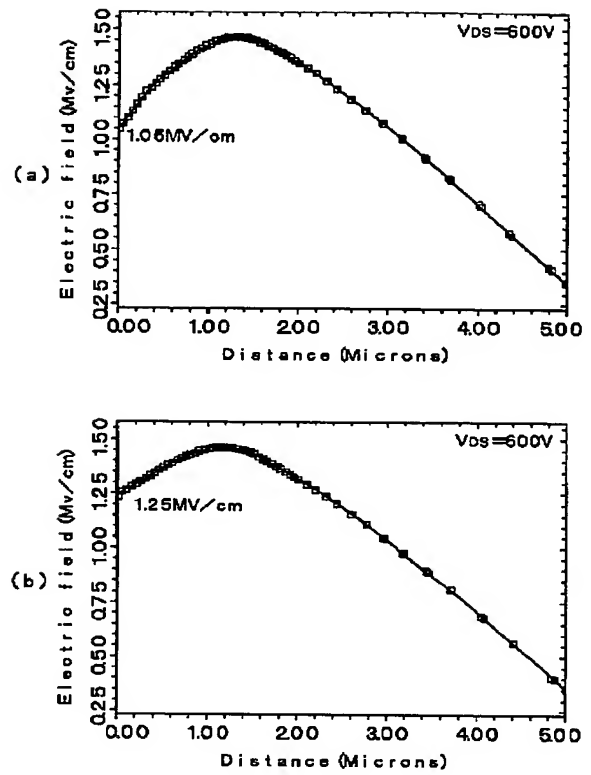
【図4】



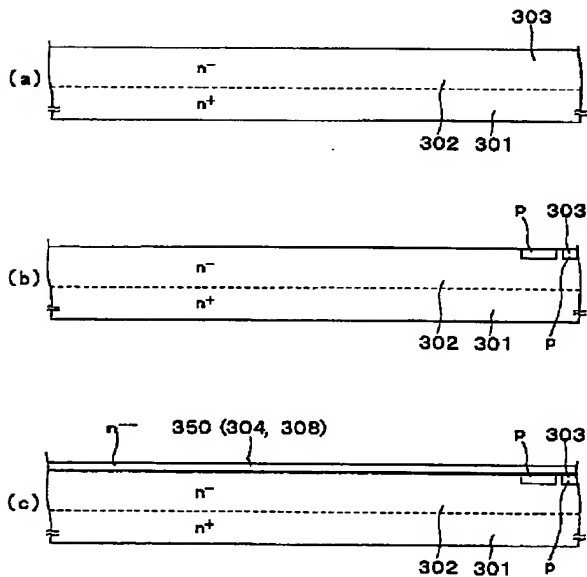
【図 16】



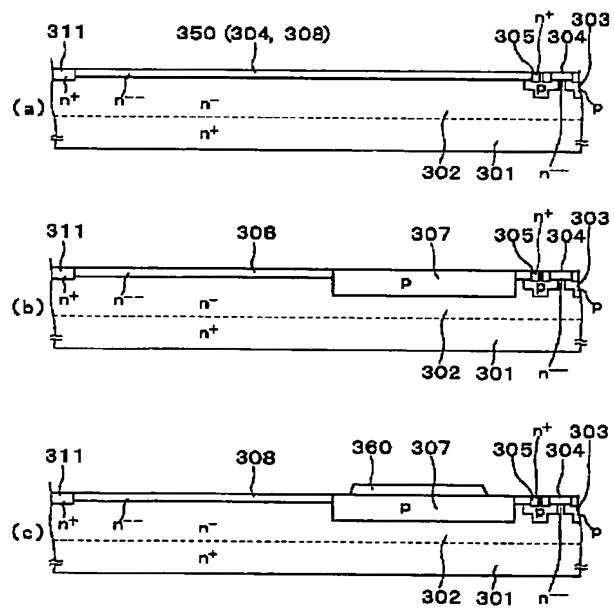
【図 18】



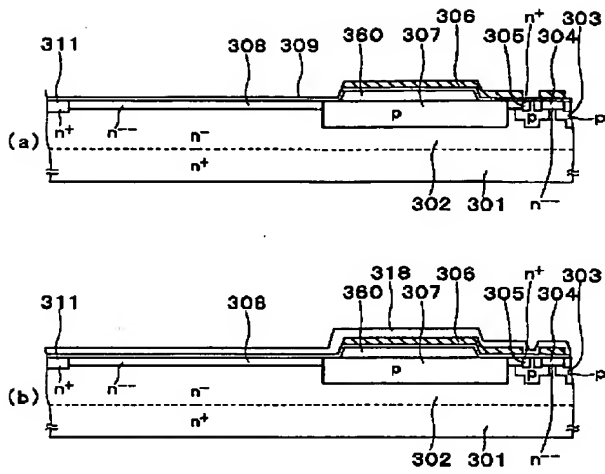
【図 19】



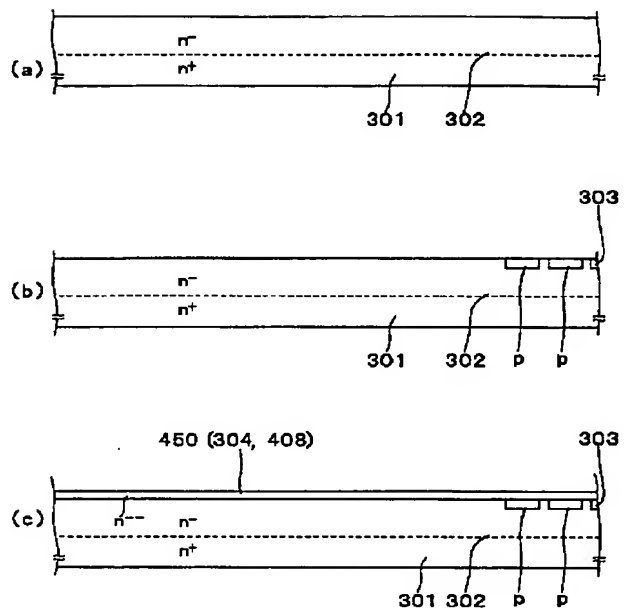
【図 20】



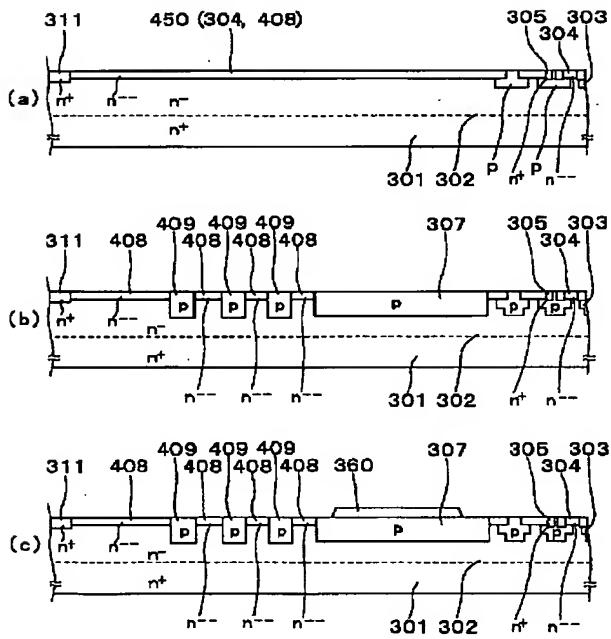
【図21】



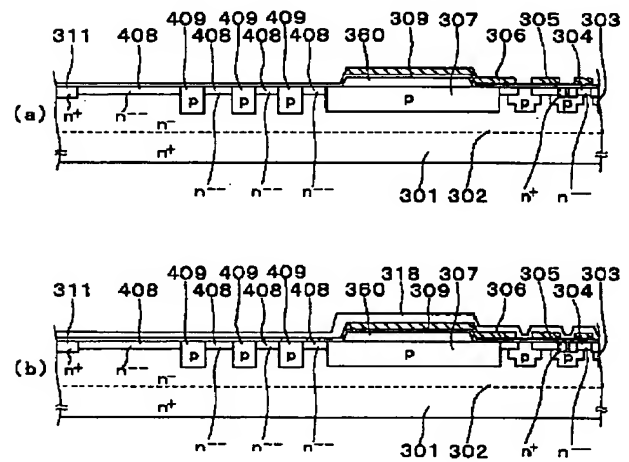
【図23】



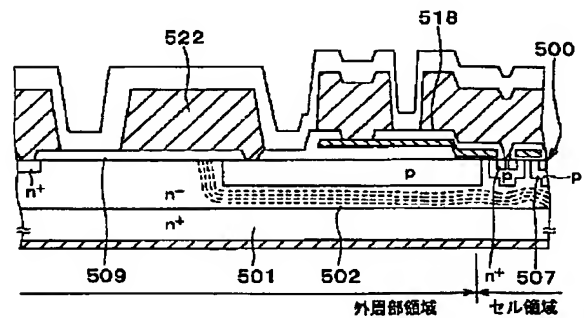
【図24】



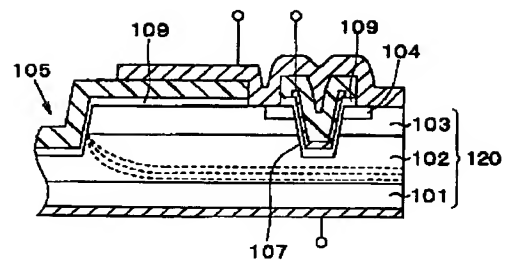
【図25】



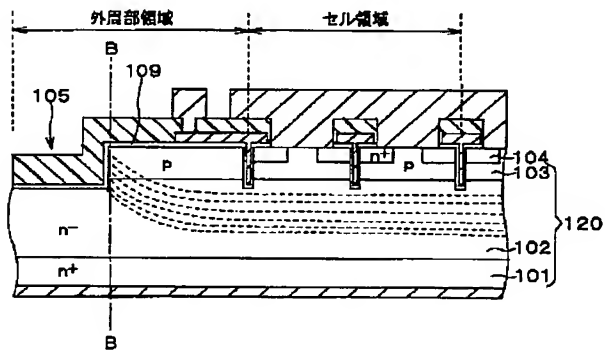
【図27】



【圖 28】



【圖 29】



(72)発明者 ラジェシュ クマール
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 片岡 光浩
愛知県刈谷市昭和町1丁目1番地 株式会社
デンソー内